

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-254652

(43) 公開日 平成7年(1995)10月3日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

21/ 76

D

審査請求 未請求 請求項の数7 F D (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-71563

(22) 出願日 平成6年(1994)3月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 丸山 徹

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 ヘミンク・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 渡部 浩

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

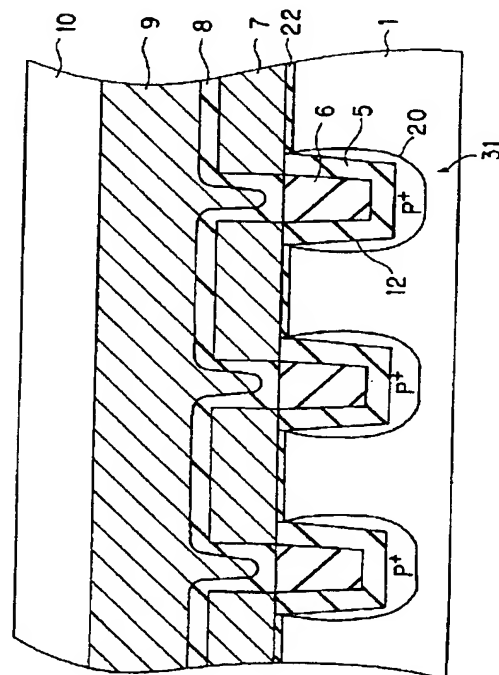
最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 素子動作特性に変動を与えることのない微細に分離された電極を備えた半導体装置を提供することを目的とする。

【構成】 本発明に係る半導体装置は、半導体基板表面に設けた溝を少なくとも上端面まで絶縁物で埋め込んで形成した素子分離領域5、6、16と、隣り合う前記素子分離領域間に自己整合的に形成された電極7とを備えたことを特徴とする。好ましくは、素子分離領域は選択的エッチングできる2種類の絶縁物を逐次堆積して形成しても良いし、1種類の絶縁物で形成しても良い。素子分離領域を溝の側壁部分に形成された第1の絶縁膜と溝の側壁部分以外を埋め込んだ第1の絶縁膜とは異なる絶縁物からなる第2の絶縁膜から構成し、溝の底部には第1の絶縁膜に対して自己整合的に形成した拡散層を設けても良い。また、電極が電荷蓄積層の場合、その側面に絶縁膜を介して制御ゲート電極を形成しても良い。



1

## 【特許請求の範囲】

【請求項 1】半導体基板表面に設けた溝を少なくとも上端面まで絶縁物で埋め込んで形成した素子分離領域と、隣り合う前記素子分離領域間に自己整合的に形成された電極とを備えたことを特徴とする半導体記憶装置。

【請求項 2】前記素子分離領域は、互いに選択的にエッチングできる 2 種類の絶縁物で前記溝を順次埋め込んで形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】前記素子分離領域は、前記溝の側壁部分に形成された第 1 の絶縁膜と、該溝の残りの部分を埋め込んだ、該第 1 の絶縁膜とは異なる材料からなる第 2 の絶縁膜から構成され、前記溝の下部には、前記第 1 の絶縁膜に対して自己整合的に拡散層が形成されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】前記素子分離領域は、前記溝を 1 種類の絶縁物で埋め込んで形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】前記電極は電荷蓄積層であるとともに、該電荷蓄積層の側面に、ONO 膜を介して制御ゲート電極が形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】半導体基板表面に、熱酸化膜、所定の材料からなる第 1 のマスク層、該第 1 のマスク層に対して選択的に除去することが可能な他の材料からなる第 2 のマスク層を順次形成する第 1 の工程と、素子形成領域以外の前記熱酸化膜、前記第 1 のマスク膜および前記第 2 のマスク層を除去する第 2 の工程と、前記素子形成領域上に残った第 2 のマスク層をマスクとし、前記第 2 の工程によって露出された半導体基板表面をエッチングして溝を形成する第 3 の工程と、この溝の内壁に該溝を埋め尽くさない程度に第 1 絶縁膜を形成する第 4 の工程と、前記第 1 の絶縁膜に対して選択的に除去することが可能な第 2 の絶縁膜を、前記溝に形成された第 1 の絶縁膜上から前記第 2 のマスク層上に形成された第 1 の絶縁膜の上方まで堆積する第 5 の工程と、前記第 2 のマスク層および前記第 1 の絶縁膜を、前記第 1 のマスク層の上端部が露出するまで除去する第 6 の工程と、前記溝から突出した第 1 の絶縁膜および第 2 の絶縁膜の部分を残すように、前記第 1 のマスク層を選択的に除去する第 7 の工程と、前記第 1 の絶縁膜を、第 2 の絶縁膜はエッチングされない条件で、前記溝の上端面まで選択的に除去する第 8 の工程と、電極形成のための伝導性膜を成膜する第 9 の工程と、前記伝導性膜を、前記第 2 の絶縁膜の上端面が露出するまで除去する第 10 の工程とを備えたことを特徴とする

2

半導体記憶装置の製造方法。

【請求項 7】半導体基板表面に、熱酸化膜、所定の材料からなるマスク層を順次形成する第 1 の工程と、素子形成領域以外の前記熱酸化膜および前記マスク層を除去する第 2 の工程と、前記素子形成領域上に残ったマスク層をマスクとし、前記第 2 の工程によって露出した半導体基板表面をエッチングして溝を形成する第 3 の工程と、絶縁膜を前記溝の底部から前記マスク層の上端面まで堆積する第 4 の工程と、前記溝から突出した部分の絶縁膜を残すように、前記マスク層を選択的に除去する第 5 の工程と、電極形成のための伝導性膜を成膜する第 6 の工程と、前記伝導性膜を、前記絶縁膜の上端面が露出するまで除去する第 7 の工程とを備えたことを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶装置およびその製造方法に係わり、特にトレンチ構造による素子分離領域に対して電荷蓄積層やゲート電極などの電極を自己整合的に形成した半導体記憶装置およびその製造方法に関する。

## 【0002】

【従来の技術】近年、半導体記憶装置は高集積化の一途を辿っており、微細な半導体記憶装置の研究が盛んである。例えば各種半導体記憶装置のうち不揮発性メモリ素子はハードディスク装置の代替品として期待されており、さらなる高集積化が望まれている。

【0003】この不揮発性メモリ素子は、他の半導体記憶装置には見られない浮遊ゲートを用いる特殊な構造を有しており、素子微細化の上で、この浮遊ゲートを微細形成する技術が重要な要素の一つである。

【0004】浮遊ゲートは堆積した膜を分離して形成するが、シリコン半導体基板上に不揮発性メモリ素子を形成する場合には、この浮遊ゲート分離に写真蝕刻法が用いられる。しかしながら、写真蝕刻法では、最新の技術を用いても 0.4  $\mu\text{m}$  以下の幅（スリット）で浮遊ゲートの分離を行うことは極めて困難である。

【0005】さらに、写真蝕刻法を用いた場合、合わせずれが生じてしまうため、64 M以降の高密度素子では、素子上で浮遊ゲート分離を行うおそれが生ずる。この場合、トンネル酸化膜上に直接制御ゲートが形成されるため、素子動作時にトンネル酸化膜の絶縁破壊を起こすので、素子動作に致命的な影響を与えてしまう。また、これを回避しようとする、素子形成領域を大きくせざるを得ない。

## 【0006】

【発明が解決しようとする課題】以上のように、従来の不揮発性メモリ素子において浮遊ゲートを分離・形成す

## 3

る方法では、微細な幅で浮遊ゲートの分離を行うことは極めて困難であった。また、該方法における写真触刻工程時の合わせずれにより、素子形状や素子動作特性の変動を生じる問題があった。

【0007】本発明は、上記事情を考慮してなされたもので、素子動作特性に変動を与えることのない、微細に分離された電極を備えた半導体記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明における課題解決手段は、半導体基板表面に設けた溝を少なくとも上端面まで絶縁物で埋め込んで形成した素子分離領域と、隣り合う前記素子分離領域間に自己整合的に形成された電極とを備えたことを特徴とする。

【0009】また、好ましくは、前記素子分離領域は、互いに選択的にエッチングできる2種類の絶縁物で前記溝を順次埋め込んで形成すると良い。この場合、前記素子分離領域は、前記溝の側壁部分に形成された第1の絶縁膜と、該溝の残りの部分を埋め込んだ、該第1の絶縁膜とは異なる材料からなる第2の絶縁膜から構成され、前記溝の下部には、前記第1の絶縁膜に対して自己整合的に拡散層が形成されているようにしても良い。

【0010】また、前記素子分離領域は、前記溝を1種類の絶縁物で埋め込んで形成しても良い。

【0011】また、前記電極が電荷蓄積層である場合、該電荷蓄積層の側面に、ONO膜を介して制御ゲート電極を形成しても良い。

【0012】一方、本発明における他の課題解決手段は、半導体基板表面に、熱酸化膜、所定の材料からなる第1のマスク層、該第1のマスク層に対して選択的に除去することが可能な他の材料からなる第2のマスク層を順次形成する第1の工程と、素子形成領域以外の前記熱酸化膜、前記第1のマスク膜および前記第2のマスク層を除去する第2の工程と、前記素子形成領域上に残った第2のマスク層をマスクとし、前記第2の工程によって露出された半導体基板表面をエッチングして溝を形成する第3の工程と、この溝の内壁に該溝を埋め尽くさない程度に第1の絶縁膜を形成する第4の工程と、前記第1の絶縁膜に対して選択的に除去することが可能な第2の絶縁膜を、前記溝に形成された第1の絶縁膜上から前記第2のマスク層上に形成された第1の絶縁膜の上方まで堆積する第5の工程と、前記第2のマスク層および前記第1の絶縁膜を、前記第1のマスク層の上端部が露出するまで除去する第6の工程と、前記溝から突出した第1の絶縁膜および第2の絶縁膜の部分を残すように、前記第1のマスク層を選択的に除去する第7の工程と、前記第1の絶縁膜を、第2の絶縁膜はエッチングされない条件下、前記溝の上端面まで選択的に除去する第8の工程と、電極形成のための伝導性膜を成膜する第9の工程と、前記伝導性膜を、前記第2の絶縁膜の上端面が露出

## 4

するまで除去する第10の工程とを備えたことを特徴とする。

【0013】好ましくは、前記第1のマスク層には多結晶シリコン膜を、前記第2のマスク層にはCVD法により形成された酸化シリコン膜を、前記第1の絶縁膜にはシリコン酸化膜を、前記第2の絶縁膜にはシリコン窒化膜を、前記伝導性膜には伝導性多結晶シリコン膜をそれぞれ用いても良い。

【0014】また、本発明におけるさらに他の課題解決手段は、半導体基板表面に、熱酸化膜、所定の材料からなるマスク層を順次形成する第1の工程と、素子形成領域以外の前記熱酸化膜および前記マスク層を除去する第2の工程と、前記素子形成領域上に残ったマスク層をマスクとし、前記第2の工程によって露出した半導体基板表面をエッチングして溝を形成する第3の工程と、絶縁膜を前記溝の底部から前記マスク層の上端面まで堆積する第4の工程と、前記溝から突出した部分の絶縁膜を残すように、前記マスク層を選択的に除去する第5の工程と、電極形成のための伝導性膜を成膜する第6の工程と、前記伝導性膜を、前記絶縁膜の上端面が露出するまで除去する第7の工程とを備えたことを特徴とする。

【0015】好ましくは、前記マスク層にはシリコン窒化膜を、前記絶縁膜にはCVD法により形成されたシリコン酸化膜を、前記伝導性膜には伝導性多結晶シリコン膜をそれぞれ用いても良い。

【0016】

【作用】本発明（請求項1）によれば、電極を隣り合う素子分離領域間に自己整合的に形成するので、極めて微細に分離・形成された電極を得ることができるとともに、従来問題であった写真触刻時の合わせずれ等による素子形状の変動を生じることなく動作特性の変動も完全になくすることができる。

【0017】本発明（請求項6）によれば、半導体基板上に形成された溝および第1のマスク層を第1の絶縁膜および第2の絶縁膜で埋め込み、その後第1の絶縁膜および第1のマスク層を取り除いた箇所（隣り合う第2の絶縁膜の間）に、電極を形成するので、電極を隣り合う素子分離領域間に自己整合的に形成することができる。

【0018】この結果、極めて微細に分離・形成された電極を得ることができるとともに、写真触刻時の合わせずれ等による素子形状および動作特性の変動の回避を完全になくすることができる。

【0019】また、電極間のスリット幅は、第1の絶縁膜および第2の絶縁膜の膜厚を制御することで、極めて制御性良く形成できる。

【0020】さらに、写真触刻工程数の減少をも図ることができる。

【0021】本発明（請求項7）によれば、半導体基板上に形成された溝およびマスク層を絶縁膜で埋め込み、その後マスク層を取り除いた箇所（隣り合う絶縁膜の

5

間)に、電極を形成するので、電極を隣り合う素子分離領域間に自己整合的に形成することができる。

【0022】この結果、極めて微細に分離・形成された電極を得ることができるとともに、写真蝕刻時の合わせずれ等による素子形状および動作特性の変動の回避を完全になくすることができる。

【0023】また、電極間のスリット幅は、上記絶縁膜の膜厚を制御することで、極めて制御性良く形成できる。

【0024】さらに、写真蝕刻工程数の減少をも図ることができる。

【0025】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0026】(第1の実施例)図1に、本発明の第1の実施例に係るNAND型EEPROMの平面図を示す。また、図2および図3にはそれぞれ、図1のNAND型EEPROMのA-A'断面図およびB-B'断面図を示す。

【0027】図1および2のように、このNAND型EEPROMでは、複数のコントロール・ゲート9と複数の活性層30が直交配列され、両者が交差する部分にトンネル酸化膜22とONO膜8を介してフローティング・ゲート7が挟まれた形で設けられており、各交差部分が記憶ノードを形成している。

【0028】また、本実施例では、図1および図3のように、素子分離領域31は、半導体基板1の表面に設けた溝12を上端面まで2種類の絶縁膜5、6で埋め込んで形成するとともに、隣り合う素子分離領域31間に浮遊ゲート電極7が自己整合的に形成されている。なお、本実施例では、浮遊ゲート電極7が素子分離領域31の第1の絶縁膜5にオーバーラップしたウイング型の構造になっている。

【0029】本実施例では、浮遊ゲート電極を隣り合う素子分離領域間に自己整合的に形成するので、極めて微細に分離・形成された浮遊ゲート電極を得ることができるとともに、従来問題であった写真蝕刻時の合わせずれ等による素子形状の変動を生じることなく動作特性の変動も完全になくすることができる。

【0030】なお、本実施例では、浮遊ゲート電極をウイング型の構造にするので、コントロール・ゲート電極との間の容量を大きく設けることができる。また本実施例では、図3のように浮遊ゲート電極側壁部と浮遊ゲート電極側壁間に形成されたコントロール・ゲート電極との間にも容量が形成されるので、さらなる容量の増加を図ることができる。

【0031】以下、図3のような構造を有するEEPROMを得るための製造工程について説明する。

【0032】まず、例えば面方位(100)、比抵抗5~50Ω・cmのN型シリコン基板1上に、P型ウェル

6

を形成し、例えば厚さ25nmの熱酸化膜2をHCl雰囲気中で成膜し、さらに多結晶シリコンを400nm程度形成して第一マスク層3とし、CVD法で酸化シリコン膜を500nm程度形成して第二マスク層4とする。

【0033】その後、写真蝕刻法で、選択的にレジスト膜(図示せず)で覆い、これをマスクとして使用し、CVD酸化シリコン膜4をエッチングし、その後レジストを剥離する。そして、このCVD酸化シリコン膜4をマスクにして、先の工程によって露出した第一マスク層である多結晶シリコン膜3をエッチングし、さらに下の熱酸化膜2をエッチングする。

【0034】次に、残ったCVDシリコン酸化膜4および多結晶シリコン膜3をマスクにして、露出したシリコン基板1の表面を例えばHBr/SiF<sub>4</sub>/O<sub>2</sub>雰囲気中でエッチングし、深さ0.5μm程度、幅0.4μm程度の溝12を形成する。

【0035】そして、フィールドI/Iを行った後、トレンチを埋め込む第一の素子分離絶縁膜5として、例えばCVD法で成膜したシリコン酸化膜を100nm成膜する。このシリコン酸化膜5は、膜質を向上させるために、例えばN<sub>2</sub>雰囲気中において1000℃前後で焼き固めるのが好ましい。

【0036】上記までの工程が完了した時点での半導体装置の概略断面図を図4に示す。なお、後に示す図4~図11においては、p<sup>+</sup>型層20を省略した。

【0037】次に、シリコン窒化膜6を200nm程度成膜し、図5のように溝12を完全に埋め込む。この時、シリコン窒化膜6をボイドが発生しない様に埋め込むことが望ましい。

【0038】さらに、シリコン窒化膜6をCDE(ケミカル・ドライ・エッチング)法などによりエッチバックし、第一マスク層である多結晶シリコン層3に挟まれた部分およびシリコン基板1表面に形成された溝12の中に成膜された部分のみを残すようにする(図6)。

【0039】この後、CVD法により成膜したシリコン酸化膜である第一絶縁膜5および同様に成膜したシリコン酸化膜である第二マスク層4を例えばRIE法などにより選択的にエッチングすることにより、第一マスク層である多結晶シリコン層3および第二絶縁膜であるシリコン窒化膜6はエッチングされないようにし、第一マスク層である多結晶シリコン層3の上端部まで、第一絶縁膜であるCVDシリコン酸化膜5と第二絶縁膜であるシリコン窒化膜6により埋め込まれているようにする(図7)。

【0040】この後、例えばCDE法等により第一マスク層である多結晶シリコン層3を除去し、さらに例えばフッ化アンモニウム等の溶液でエッチングすることにより、シリコン基板1上に形成されている熱酸化膜2および第一絶縁膜であるCVDシリコン酸化膜5のうちシリコン基板1に形成された溝12に埋め込まれた部分以外

7

は除去する。その後、ゲート酸化膜 22 を形成する (図 8)。

【0041】次に、リンをドーブした多結晶シリコン膜 7 を形成し (図 9)、表面を例えば CMP (ケミカル・メカニカル・ポリッシング) 法により平坦化する (図 10)。これにより、浮遊ゲート電極 7 を形成すると同時に、浮遊ゲート電極 7 間の分離を、第二絶縁膜のシリコン窒化膜 6 により自己整合的に行うことが可能である。

【0042】この後、例えば CDE 法により浮遊ゲート側壁部のシリコン窒素化膜 6 をエッチングし (図 11)、ONO 膜 8 を形成した後に、制御ゲート電極 9 を形成し、CVD 絶縁膜 10 を堆積して、素子形成を完了する (図 3)。

【0043】以上説明した実施例によれば、半導体基板上に形成された溝および第 1 のマスク層を第 1 の絶縁膜および第 2 の絶縁膜で埋め込み、その後第 1 の絶縁膜および第 1 のマスク層を取り除いた箇所 (隣り合う第 2 の絶縁膜の間) に、電極を形成するので、電極を隣り合う素子分離領域間に自己整合的に形成することができる。この結果、極めて微細に分離・形成された電極を得ることができるとともに、写真触刻時の合わせずれ等による素子形状および動作特性の変動の回避を完全になくすることができる。

【0044】また、電極間のスリット幅は、第 1 の絶縁膜および第 2 の絶縁膜の膜厚を制御することで、極めて制御性良く形成できる。

【0045】さらに、写真触刻工程数の減少をも図ることができる。

【0046】＜変形例 1＞ここで、上記製造方法において、図 5 までの工程を上記実施例と同様に行った後、第二マスク層であるシリコン酸化膜 4、第一絶縁膜である CVD シリコン酸化膜 5 と第二絶縁膜であるシリコン窒化膜 6 が同一のエッチングレートになる条件で、第一マスク層である多結晶シリコン層 3 の上端部において終了するようにエッチングを行った後、図 6 に示される工程を省略し、図 7 の以下の工程を進めることが可能である。

【0047】この場合、上述した実施例の利点に加え、プロセスを簡略化することができる利点がある。

【0048】＜変形例 2＞ここで、第 1 の実施例に係る製造方法においては、図 4 に示すように第一絶縁膜 5 を形成する前にフィールド I/I を行ったが、その代りに先に第一絶縁膜 5 を形成し、溝 12 の底部が露出するように軽くエッチングした後、フィールド I/I を行い (図 12)、第二絶縁膜 6 を形成しても良い (図 13)。

【0049】このようにすれば、上記実施例に比較して p<sup>+</sup> 型層 23 の領域を小さく設けることができるので、p<sup>+</sup> 型層 23 と図 1 に示す n<sup>+</sup> 型層 19 との間でのジャンクション・ブレイクダウンを発生し難くすることがで

8

きる。もちろん、上述した実施例の利点も同時に得られる。

【0050】＜変形例 3＞浮遊ゲート電極 7 間 (浮遊ゲート側壁部) のシリコン窒素化膜 6 をエッチングせず、図 10 の構造の上に ONO 膜 8 を形成しても良い (図 14)。

【0051】このようにすれば、さらに工程を簡略化することができる。

【0052】(第 2 の実施例) 図 22 に、本発明の第 2 の実施例に係る NAND 型 EEPROM の断面図を示す。本実施例は、第 1 の実施例に比較して工程をさらに簡略化したものである。

【0053】図 22 のように本実施例において、素子分離領域は、半導体基板 1 の表面に設けた溝 12 を絶縁膜 16 で埋め込んで形成するとともに、隣り合う素子分離領域間にゲート電極 7 が自己整合的に形成されている。なお、本実施例では、ゲート電極 7 が素子分離領域 31 の第 1 の絶縁膜 5 にオーバーラップしていない非ウイング型の構造になっている。

【0054】本実施例では、浮遊ゲート電極を隣り合う素子分離領域間に自己整合的に形成するので、極めて微細に分離・形成された浮遊ゲート電極を得ることができるとともに、従来問題であった写真触刻時の合わせずれ等による素子形状の変動を生じることなく動作特性の変動も完全になくすることができる。

【0055】以下、図 22 のような構造を有する EEPROM を得るための製造工程について説明する。

【0056】まず、例えば面方位 (100)、比抵抗 5 ~ 50 Ω・cm の P 型シリコン基板 1 上に例えば厚さ 25 nm の熱酸化膜 2 を HCl 雰囲気中で成膜し、さらにシリコン窒素化膜 14 を 400 nm 程度形成してマスク層とする。

【0057】その後、写真触刻法で、選択的にレジスト膜 40 で覆う (図 15)。

【0058】これをマスクとして使用し、シリコン窒化膜 14 と下の熱酸化膜 2 を順次エッチングする (図 16)。その後、レジスト 40 を剥離する。

【0059】次に、残ったシリコン窒化膜 14 をマスクにして、露出したシリコン基板 1 表面を例えば HBr/SiF<sub>4</sub>/O<sub>2</sub> 雰囲気中でエッチングし、深さ 0.5 μm 程度、幅 0.4 μm 程度の溝 12 を形成する。そして、フィールド I/I を行う (図 17)。

【0060】次に、トレンチを埋め込む素子分離絶縁膜 16 として、例えば CVD 法で成膜したシリコン酸化膜を 1000 nm 程度成膜し、溝 12 の底面からシリコン窒化膜からなるマスク層 14 の上方まで完全に埋め込む。

【0061】さらに、CVD 法により成膜した CVD シリコン酸化膜 16 のうち、マスク層であるシリコン窒化膜 14 に挟まれた部分およびシリコン基板 1 により形成

9

された溝12の中に成膜された部分のみを残すようにCVDエッチバックを行う(図18)。

【0062】この後、例えばCDE法等によりマスク層であるシリコン窒素化膜14を除去する(図19)。

【0063】さらに、フッ化アンモニウム等の溶液でエッチングすることにより、シリコン基板1上に形成されている熱酸化膜2を除去する。そして、ダミー酸化、チャンネルI/I、ダミー酸化剥離を順次行う(図20)。

【0064】そして、トンネル酸化膜22を形成した後、リンをドーブした多結晶シリコン膜7を形成し、表面を例えばCMP(ケミカル・メカニカル・ポリッシング)法により平坦化する(図21)。

【0065】これにより、浮遊ゲート電極7を形成すると同時に、浮遊ゲート電極7間の分離を、絶縁膜であるCVDシリコン酸化膜16により自己整合的に行うことが可能である。

【0066】この後、ONO膜8を形成した後に、制御ゲート電極9を形成し、後酸化を行い、CVD絶縁膜14を堆積して素子形成を完了する(図22)。

【0067】<変形例>ここで、図21の構造において、例えばCDE法により浮遊ゲート7側壁部のCVDシリコン酸化膜16をエッチングし、ONO膜8を形成した後に、コントロール・ゲート電極9を形成しても良い(図23)。

【0068】このようにすれば、浮遊ゲート電極側壁部と浮遊ゲート電極側壁間に形成されたコントロール・ゲート電極との間に容量が形成されるので、容量の増加を図ることができる。この場合、マスク層を厚く積むと、その後に形成する浮遊ゲート電極側壁がより高くなり、容量がより大きくなるので好ましい。

【0069】もちろん、上述した実施例の利点も同時に得られる。

【0070】なお、本実施例では、本発明をEEPROM(浮遊ゲート)に適用した例について説明したが、MISトランジスタのゲート電極にも適用することが可能である。

【0071】また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0072】

【発明の効果】本発明(請求項1)によれば、電極を隣り合う素子分離領域間に自己整合的に形成するので、極めて微細に分離・形成された電極を得ることができるとともに、従来問題であった写真触刻時の合わせずれ等による素子形状の変動を生じることなく動作特性の変動も完全になくすることができる。

【0073】本発明(請求項6)によれば、電極を隣り合う素子分離領域間に自己整合的に形成することができ、極めて微細に分離・形成された電極を得ることができるとともに、写真触刻時の合わせずれ等による素子形

10

状および動作特性の変動の回避を完全になくすることができる。

【0074】本発明(請求項7)によれば、電極を隣り合う素子分離領域間に自己整合的に形成することができ、極めて微細に分離・形成された電極を得ることができるとともに、写真触刻時の合わせずれ等による素子形状および動作特性の変動の回避を完全になくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るEEPROMの平面図

【図2】同実施例に係るEEPROMのA-A'断面図

【図3】同実施例に係るEEPROMのB-B'断面図

【図4】同実施例に係るEEPROMの製造方法を示す工程断面図

【図5】同実施例に係るEEPROMの製造方法を示す工程断面図

【図6】同実施例に係るEEPROMの製造方法を示す工程断面図

【図7】同実施例に係るEEPROMの製造方法を示す工程断面図

【図8】同実施例に係るEEPROMの製造方法を示す工程断面図

【図9】同実施例に係るEEPROMの製造方法を示す工程断面図

【図10】同実施例に係るEEPROMの製造方法を示す工程断面図

【図11】同実施例に係るEEPROMの製造方法を示す工程断面図

【図12】同実施例の一変形例に係るEEPROMの製造方法を示す工程断面図

【図13】同実施例の一変形例に係るEEPROMの製造方法を示す工程断面図

【図14】同実施例の他の変形例に係るEEPROMの断面図

【図15】本発明の第2の実施例に係るEEPROMの製造方法を示す工程断面図

【図16】同実施例に係るEEPROMの製造方法を示す工程断面図

【図17】同実施例に係るEEPROMの製造方法を示す工程断面図

【図18】同実施例に係るEEPROMの製造方法を示す工程断面図

【図19】同実施例に係るEEPROMの製造方法を示す工程断面図

【図20】同実施例に係るEEPROMの製造方法を示す工程断面図

【図21】同実施例に係るEEPROMの製造方法を示す工程断面図

【図22】同実施例に係るEEPROMの断面図

11

12

【図 2 3】同実施例の一変形例に係るEEPROMの断面図

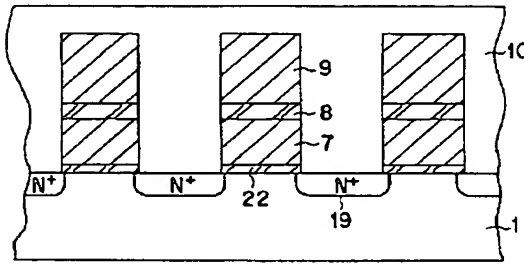
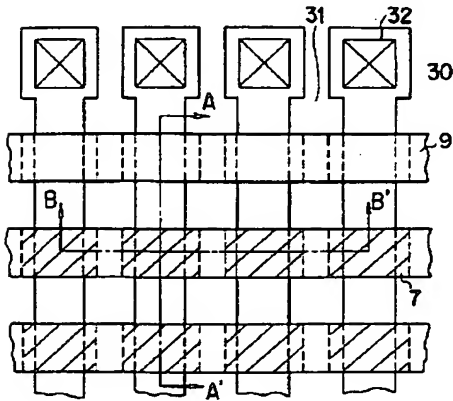
【符号の説明】

1…シリコン基板、2…熱酸化膜、3…第一マスク層、  
4…第二マスク層、5…第1の素子分離絶縁膜、6…第  
2の素子分離絶縁膜、7…フローティング・ゲート、8\*

\*…ONO膜、9…コントロール・ゲート、10…CVD  
絶縁膜、12…溝、13…酸化膜、14…CVD絶縁  
膜、16…素子分離絶縁膜、19… $n^+$  型層、20、2  
1、23… $p^+$  型層、22…トンネル酸化膜、30…素  
子分離領域、31…素子形成領域、32…コンタクト・  
ホール、40…レジスト膜

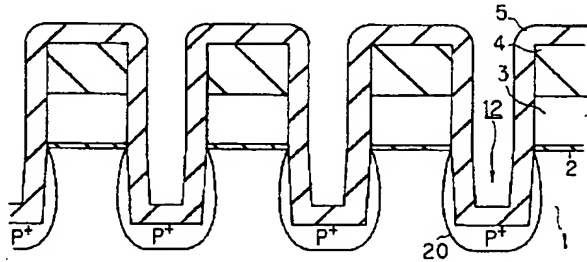
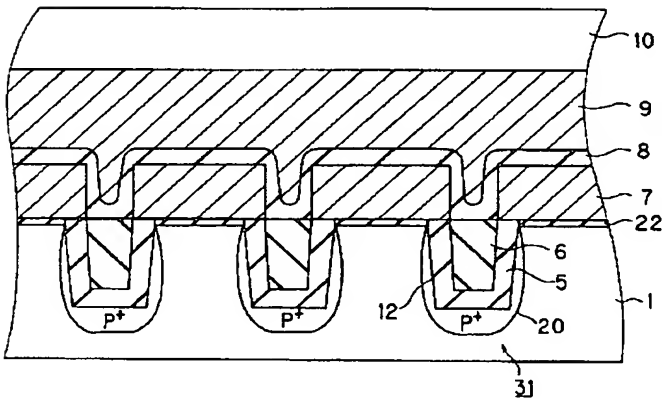
【図 1】

【図 2】



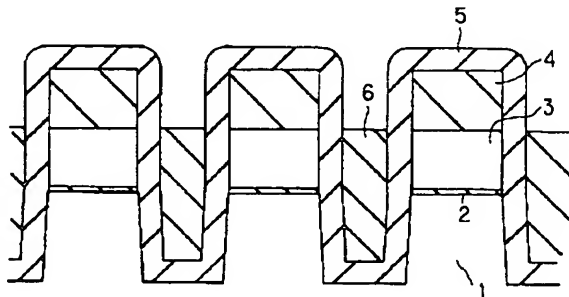
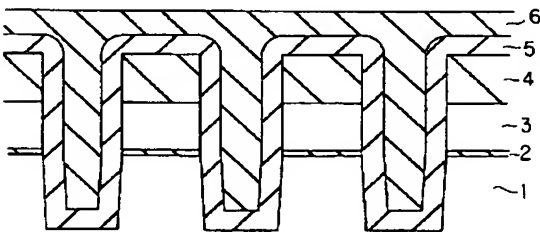
【図 4】

【図 3】

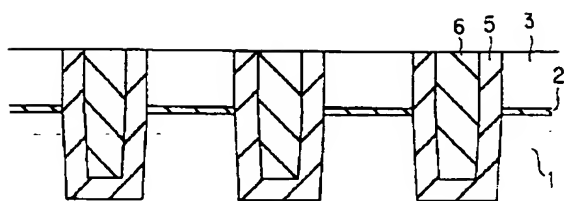


【図 5】

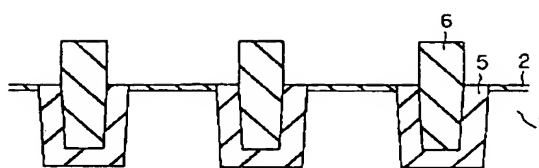
【図 6】



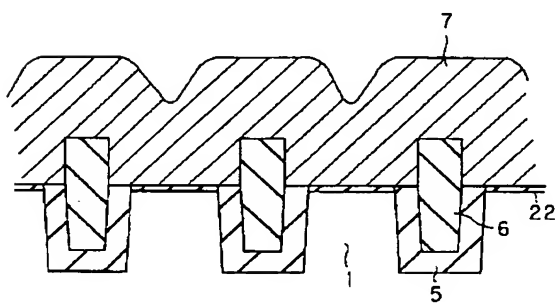
【図 7】



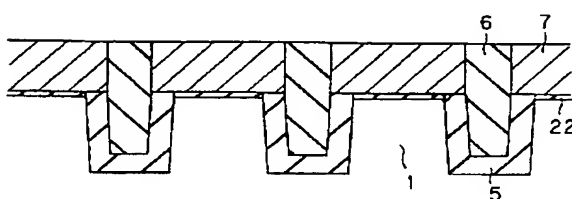
【図 8】



【図 9】

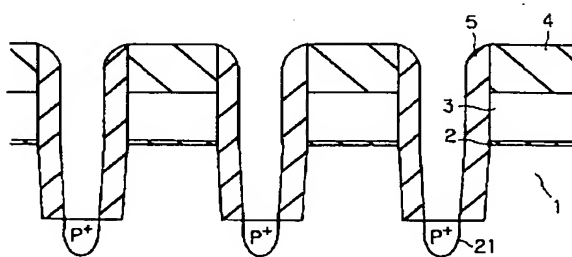
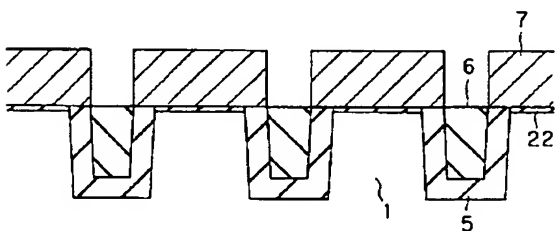


【図 10】

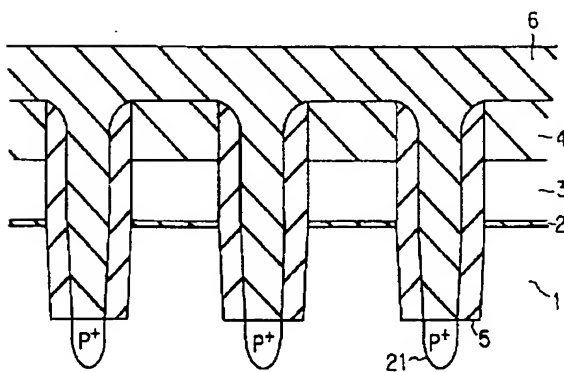


【図 12】

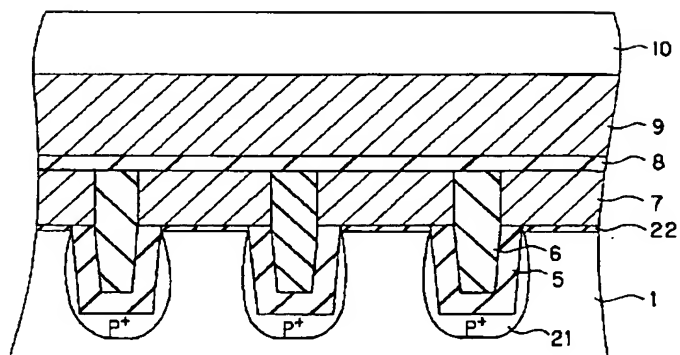
【図 11】



【図 13】

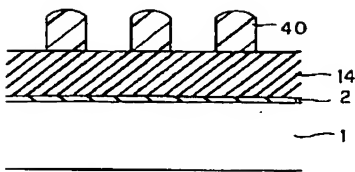


【図 14】

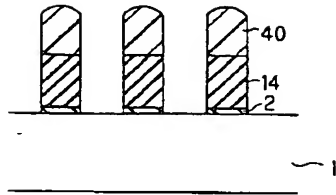




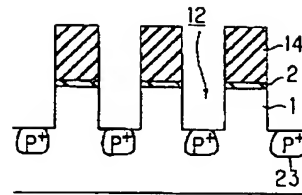
【図 15】



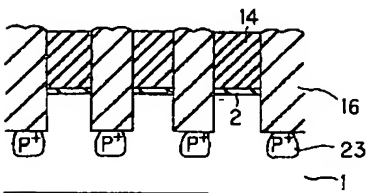
【図 16】



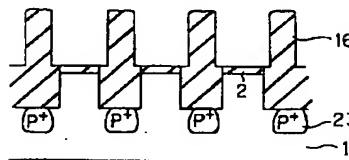
【図 17】



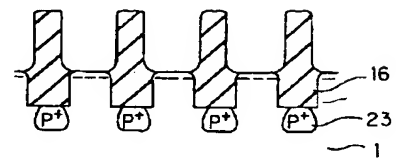
【図 18】



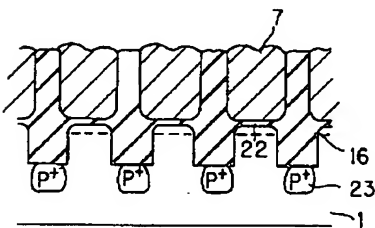
【図 19】



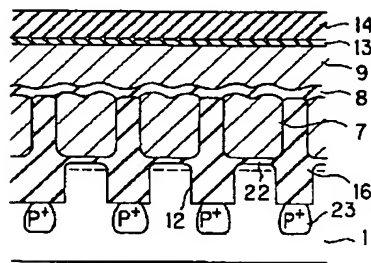
【図 20】



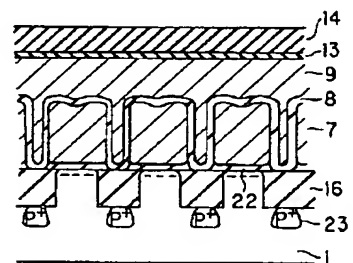
【図 21】



【図 22】



【図 23】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/762

21/76

27/10

27/115

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1

H 0 1 L 21/76

27/10

L

4 3 4

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内